

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-359244

(43)Date of publication of application : 13.12.2002

(51)Int.Cl.

H01L 21/3205

H01L 21/304

(21)Application number : 2001-164672

(71)Applicant : SONY CORP

(22)Dat of filing : 31.05.2001

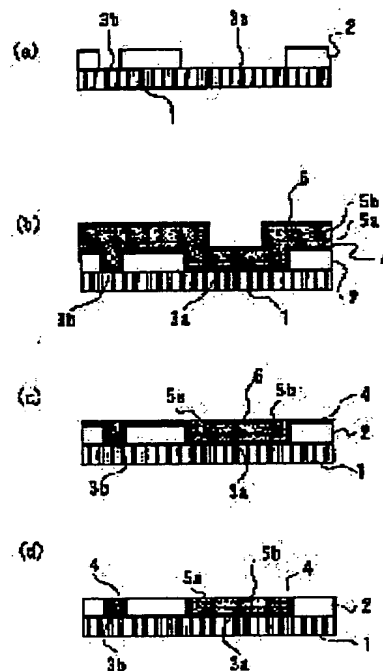
(72)Inventor : NAGASHIMA NAOKI

## (54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To form a uniformly thick wiring in a damascene process.

SOLUTION: A method for manufacturing a semiconductor device comprises steps of laminating tantalum nitride 4, copper 5a, copper 5b, and tantalum nitride 6 of conductive films having different polishing rates on an upper layer of an insulating film formed with wiring grooves 3a, 3b, setting film thicknesses of the tantalum nitride 4, the copper 5a, the copper 5b and the tantalum nitride 6, so that a surface height of the tantalum nitride 4 formed on a silicon oxide film 2 in which the groove 3 is removed, turns into the same as surface heights of the tantalum nitride 6 formed on the upper layer of the groove 3a and forming on the surface of the copper 5b, and then polishing the film.



## LEGAL STATUS

[Dat of request for examination]

06.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

特開2002-359244  
(P2002-359244A)

(43) 公開日 平成14年12月13日 (2002.12.13)

(51) Int. Cl. <sup>7</sup>	横断図	F I	フット (参考)
H 01 L 21/305	6 2 2	H 01 L 21/304	6 2 2 X 5 F 0 3 3
H 01 L 21/304		21/88	K M

審査請求 未請求 請求項の数 8 O L (全 5 頁)

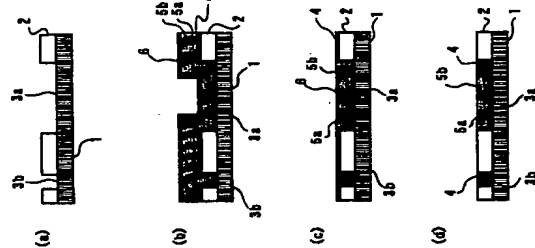
(21) 出願番号	特開2001-184672 (P2001-184672)	(71) 出願人	000002185 ソニー株式会社
(22) 出願日	平成13年5月31日 (2001.5.31)	(72) 発明者	長島 直樹 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(74) 代理人	100092152 弁理士 服部 勉雄

## (54) 【発明の名称】 半導体装置の製造方法

## (57) 【要約】

【課題】 ダマシンプロセスにおいて均一な膜厚の配線を形成する。

【解決手段】 配線溝3 a、3 bを形成した絶縁膜の上層に、研磨速度の異なる導電膜である窒化タンタル4、銅5 a、銅5 b、窒化タンタル6を積層し、かつ、銅5 bの表面に、配線溝3 aを除いたシリコン酸化膜2に形成した窒化タンタル4の表面高さと、配線溝3 aの上層に形成する窒化タンタル6の表面高さが同じになるように窒化タンタル4、銅5 a、銅5 b、窒化タンタル6の膜厚を設定して形成した後研磨する。



最終頁に続く

## 【特許請求の範囲】

【請求項1】 配線を形成する半導体装置の製造方法において、

絶縁膜に配線溝を形成して導体パターンを形成し、

前記導体パターンの上に第1バリアメタル層および配線材層を形成し、

前記導体パターンの凸部上前記第1バリアメタル層の表面高さと、前記導体パターンの凹部上第2バリアメタル層の表面高さが同じになるように前記第2バリアメタル層を形成し、

前記導体パターンの凸部上前記第2バリアメタル層を除く、

前記導体パターンの凸部上前記配線材層を除く、

前記導体パターンの凸部上前記第1バリアメタル層と前記導体パターンの凹部上前記第2バリアメタル層とを除く、

【請求項2】 前記導体パターンの凸部上前記第2バリアメタル層を研磨により除去し、

前記第2バリアメタル層より前記配線材層の研磨速度が速い研磨条件で前記導体パターンの凸部上前記配線材層を研磨により除去し、

前記配線材層より前記第1バリアメタル層および前記第2バリアメタル層の研磨速度が速い研磨条件で、前記導体パターンの凸部上前記第1バリアメタル層と前記導体パターンの凹部上前記第2バリアメタル層とを研磨により除去することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記導体パターンの凸部上前記第2バリアメタル層を研磨により除去し、

前記第2バリアメタル層より前記配線材層の研磨速度が速い研磨条件で前記導体パターンの凸部上前記配線材層を研磨により除去し、

前記導体パターンの凸部上前記第1バリアメタル層と前記導体パターンの凹部上前記第2バリアメタル層とを研磨により除去することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 前記導体パターンを形成する前記絶縁膜は多層構造を有することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】 前記導体パターンは、前記配線溝および接合孔を有することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項6】 前記第1バリアメタル層の材質を窒化タンタル、窒化チタン、または窒化タンゲステンとすることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項7】 前記配線材層の材質をアルミとすることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項8】 前記第2バリアメタル層の材質を窒化タンタル、窒化チタン、または窒化タンゲステンとすることを特徴とする請求項1記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体装置の製造方法に関し、特に配線を形成する半導体装置の製造方法に関する。

## 【0002】

【従来の技術】 半導体集積回路の微細化に伴い、素子接続配線の最小線幅および最小配線間隔は狭くなっていく。配線の微細化が進み、配線の電流密度が増加した場合、高速に移動する電荷により配線材料の原子移動（マイグレーション）が生じ、配線の断線や高抵抗化がおこる可能性がある。従って、電流密度の増加を抑えるために配線の厚みを薄くすることはできず、配線アスペクト比の増大による配線の加工不良や、配線間隔の縮小による寄生容量の増大などの問題を引き起こしている。

【0003】 このような問題を解決するため、配線材料については従来のアルミから銅に変更し、配線抵抗の低下、耐マイグレーション性の向上を図ることが検討されている。

【0004】 さらに、配線形成方法については、配線の加工不良や、配線間隔の縮小による寄生容量を減らすために、絶縁膜に配線溝を掘り、配線そのものを絶縁膜に埋め込むダマシンプロセスが提案されている。

## 【0005】

【発明が解決しようとする課題】 ダマシンプロセスは絶縁膜に配線溝を掘り、配線そのものを絶縁膜に埋め込んで配線を形成する方法である。

【0006】 図2は従来のダマシンプロセスの形成工程の概略を示す図であり、(a)は配線溝形成工程、(b)は配線材層形成工程、(c)は研磨工程、(d)は銅配線形成工程を示す図である。

【0007】 図2(a)の工程では、シリコン基板上に素子（図示せず）を形成した後、絶縁膜であるシリコン酸化膜1、12を順次形成して、その上にレジストを塗布した後、フォトリソグラフィにより配線となる部分のレジストを開孔してレジストパターンを形成する。次に、レジストパターンをマスクとしてシリコン酸化膜12の異方性エッチングを行い、シリコン酸化膜13に線幅の広い配線溝13 aおよび線幅の狭い配線溝13 bを形成して導体パターンを形成する。

【0008】 図2(b)の工程では、導体パターンの上に、第1バリアメタル層として窒化タンタル14を形成した後、配線材層として銅15を形成する。このとき、導体パターンの凹部に形成された銅15は、表面の高さが他の部分に比べて低く形成される。

【0009】 図2(c)の工程では、窒化タンタル14が露出するまで銅15を研磨する。図2(d)の工程では、シリコン酸化膜12が露出するまで窒化タンタル14および銅15を研磨し、配線溝13 a、13 bに銅配線を形成する。

【0010】しかし、線幅の広い配線溝13aの上には形成された銅15は、表面の高さが他の部分に比べ低く形成されている。さらに、銅15を研磨する条件では酸化タンタル14の研磨速度が銅15の研磨速度より遅いため、酸化タンタル14が露出した後は、研磨布の弾性によりディッシングと呼ばれる現象が生じる。そのため、配線溝13aに形成された銅15は、露出したシリコン酸化膜12の表面から内部に研磨が進行して配線膜厚が減少し、その結果、配線抵抗の上昇や平坦度の悪化などが生ずるという問題があった。

【0011】本発明はこのように点に鑑みてなされたものであり、均一な濃厚の配換を形成する半導体装置の製造方法を提供することを目的とする。

【0012】  
【課題】を解決するための手段】本発明によれば、配線を形成する半導体装置の製造方法において、絶縁膜の上に層を形成して導体パターンを形成し、導体パターンの上に第1バリア金属層および配線層を形成し、導体パターンの凸部上第1バリア金属層の表面高ささと、導体パターンの凹部上第2バリア金属層の表面高ささとが同一になるように第2バリア金属層を形成し、導体パターンの凸部上第2バリア金属層を除去し、導体パターンの凸部上配線層を除去し、導体パターンの凸部上第1バリア金属層と凹部上第2バリア金属層とを除去する。ことを特徴とする半導体装置の製造方法が提供される。

【0013】上記構成によれば、絶縁層に配線溝を形成して導体パターンを形成し、導体パターンの上第1バリアメタル層および配線材層を形成し、導体パターンの凸部上第1バリアメタル層の表面高さと、導体パターンの凹部上第2バリアメタル層の表面高さが同じになるように第2バリアメタル層を形成するので、第1バリアメタル層が露出するまで第2バリアメタル層および配線材層を除去する際に、導体パターンの凹部上第2バリアメタル層により配線溝内に配線材層が保護されるため、配線溝内の配線材層は絶縁層の表面より深く除去されることがなく、配線厚の減少が図られる。

[0014]

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。図1は本発明の実施の形態に係る接続配線の形成工程の概略を示す図であり、(a)は配線層形成工程、(b)は配線材層形成工程、(c)は印刷工程、(d)は銅配線形成工程を示す図である。

【0015】図1(a)の工程では、シリコン基板上にシリコン膜を形成した後、絶縁膜であるシリコン酸化膜1を700nm形成し、シリコン酸化膜1の表面にシリコン酸化膜2を300nm形成した後、シリコン酸化膜2上にレジストを塗布する。次いで、フォトリソグラフィにより配線となる部分のレジストを開孔してレジストパターンを形成し、このレジストパターンをマ

スクとしてシリコン酸化膜2の異方性エッチングを行い、シリコン酸化膜2に線幅の広い配線層3aおよび線幅の狭い配線層3bを300nmの深さに形成して導体パターンを形成する。

【0016】図1(b)の工程では、導体パターン6の上面に、第1バリア金属材料として窒化タンタル4をスパッタ法により厚さ15nm形成した後、窒化タンタル4の表面に配線材層として銅5をスパッタ法により厚さ220nm形成する。さらに、銅5aの表面に電解めっき法により配線材層として銅5bを厚さ265nm形成したタンタル6を厚さ20nm形成する。このとき、導体パターン6の上面に第2バリア金属材料として窒化タンタル6bを厚さ25nmおよび窒化タンタル6bは、その表面高さが他の部分に比べ低く形成され、さらに、導体パターン6の凸部上の窒化タンタル4の表面高さと、導体パターン6の凹部上の窒化タンタル6の表面高さとが同じになるように形成される。

【0017】図1(c)の工程では、まず、導体パターンの凸部上の窒化タンタルを研磨し、窒化タンタル6が除去された段階で研磨を中止する。研磨は、Rode社製研磨パッドPC1000を使用し、研磨剤として、アルミナ亜粒と過酸化水素との混合液であって、過酸化水素水の含有量が例えば50重量%である混合液を用い、圧力140g/cm<sup>2</sup>で行う。

【0018】次に、窒化タンタル4および窒化タンタル6に対して銅5aおよび銅5bの研磨速度が速くなる条件で、窒化タンタル6、銅5aおよび銅5bを研磨して行き、窒化タンタル4が露出したところで研磨を停止する。研磨は、Rode社は研削ベッドIC1000を使用し、研磨利としては、アルミナ砥粒と過酸化水素水の混合液であって、過酸化水素水の含有量が例えば30重量%である混合液を用い、圧力250g/cm<sup>2</sup>で行う。

【0019】このとき、導体パターン5aおよび銅5bの研磨が終了しても、導体パターン5aは酸化タンタル6の研磨速度が遅いため、凹部内部の銅5aおよび銅5bは研磨が進行せず、ディッシングが起らない。

【0020】図1(d)の工程では、銅5aおよび銅5bに対して酸化タンタル4および酸化タンタル6の研磨速度が速くなる条件下、液体バターンでの酸化タンタル6を、シリコン酸化膜2が露出するまで酸化タンタル4および酸化タンタル6を研磨して除去し、配線溝3aおよび配線溝3bに銅配線を形成する。研磨は、Rodel社製ミナミ砂粒と10℃水溶液を使用し、研磨利としては、アクリル酸の含有量が例えば20重量%である混合液を用い、圧力250 g/cm<sup>2</sup>で行う。

【0021】また、図1(d)の工程における研磨は、

(c) の工程の後、引き続き、窒化タンタル4および窒化タンタル6の研磨速度が速くなる条件としたが、図1

【0022】上記のように、導体パターンの上に、窒化タンタル4、銅5a、銅5b、窒化タンタル6を積層し、かつ、銅5bの表面に、導体パターン6の凸部上の窒化タンタル4の表面高さと、導体パターン6の凹部上の窒化タンタル6の表面高さとが同じになるように窒化タンタル4、銅5a、銅5b、窒化タンタル6の厚厚を設定して形成し、適当な研磨条件にて研磨を行うことにより、銅5aおよび銅5bのディッシングによる配線3aでの厚厚の減少が起らず、均一な厚厚で銅配線を形成することができる。

【0023】上記の説明では、絶縁膜として単層のシリコン酸化膜を用いたが、シリコン酸化膜は他の材質であってもよく、また、多層構造でも構わない。また、上記の説明では、バリアメタル層と絶縁タンタル層と銅の組み合わせを用いる場合について述べたが、第1バリアメタル層および第2バリアメタル層としては窒化タンタルのほか、窒化チタン、窒化タングステンなどの窒化絶縁点金属を用いることができ、配線材層としての窒化絶縁点金属を用いることができる。配線材層としては銅のほか、アルミニウムなどの低抵抗金属を用いることが可能である。これら材料の組み合わせによって研磨条件は適当に変更することが可能である。

【0024】さらに、上記の説明では、配線の形成のみ

を対象としているが、配線溝と接点孔の両方を形成した後に、研磨速度の異なる導電膜を形成し研磨するデュアルダマジン法にも適用可能である。

[0025]

【発明の効果】以上に説明したように本発明では、研磨適度の異なる導電膜を積層し、かつ、各導電膜の厚さを設定して形成することとしたので、配線層の導電率が配線層の上層の導電率に近接され、研磨の際、ディッシングにより配線層に発生する配線厚みの減少が起こらず、均一な膜厚で配線層を形成することができる。

【0026】これにより、線幅の広い配線の形成、パッド形成などを行うことができ、さらに、回路設計性の向上や、配線抵抗の減少による遅延増加などの問題を回避することができる。

【図面の簡単な説明】

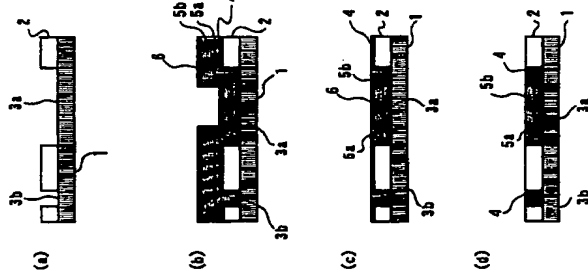
【図1】本発明の実施の形態に係る接続配線の形成工程の概略を示す図であり、(a)は配線溝形成工程、(b)は配線材層形成工程、(c)は研磨工程、(d)は銅配線形成工程を示す図である。

【図2】従来の連続配線の形成工程の概略を示す図であり、(a)は配線溝形成工程、(b)は配線材層形成工程、(c)は研磨工程、(d)は銅配線形成工程を示す図である。

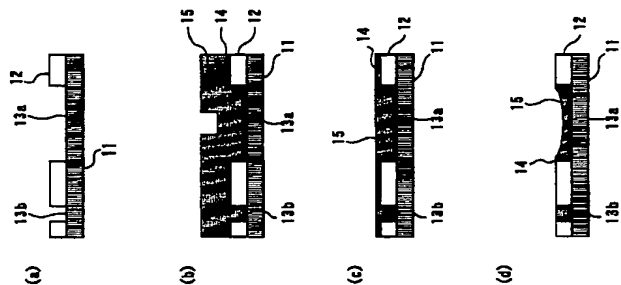
【符号の説明】

1, 2……シリコン酸化膜、3 a, 3 b……配線溝、  
4, 6……窒化タンタル、5 a, 5 b……銅。

【図1】



【図2】



フロントページの続き

Fターム(参考) 5F033 HH08 HH11 HH21 HH32 HH33  
HH34 JJ08 JJ11 JJ21 JJ32  
JJ33 JJ34 MM01 MM02 MM12  
MM13 MM29 NN06 NN07 PP15  
PP27 QQ09 QQ16 QQ48 QQ49  
RR04 TT02 VV07 XX01 XX10  
XX27